

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001 年 3 月 29 日 (29.03.2001)

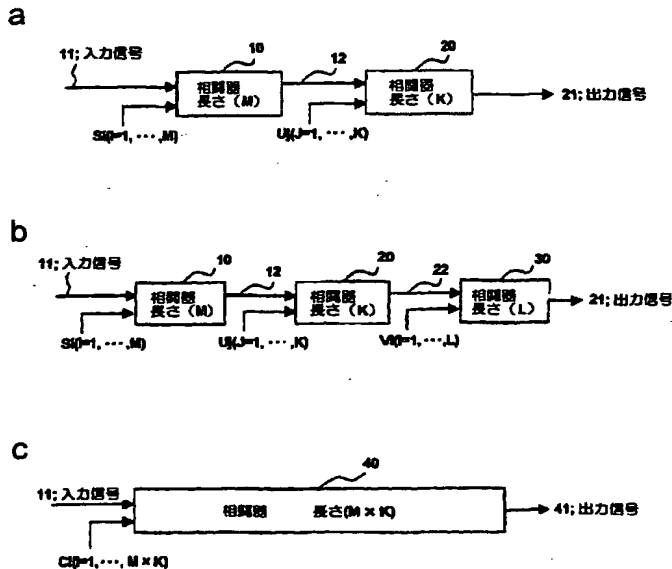
PCT

(10) 国際公開番号
WO 01/22608 A1

- (51) 国際特許分類⁷: H04B 1/707 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 岩崎 玄也
(21) 国際出願番号: PCT/JP00/06390 (IWASAKI, Motoya) [JP/JP]; 〒108-8001 東京都港区
芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
(22) 国際出願日: 2000 年 9 月 19 日 (19.09.2000) (74) 代理人: 天野 広 (AMANO, Hiroshi); 〒108-0014 東
京都港区芝四丁目6番4号 峯村ビル2階 Tokyo (JP).
(25) 国際出願の言語: 日本語 (81) 指定国 (国内): AU, CA, CN, US.
(26) 国際公開の言語: 日本語 (84) 指定国 (広域): ヨーロッパ特許 (DE, FR, GB, SE).
(30) 優先権データ: 添付公開書類:
特願平11/265040 1999 年 9 月 20 日 (20.09.1999) JP — 国際調査報告書
(71) 出願人 (米国を除く全ての指定国について): 日本電気 2 文字コード及び他の略語については、定期発行される
株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 各 PCT ガゼットの巻頭に掲載されている「コードと略語
東京都港区芝五丁目7番1号 Tokyo (JP). のガイダンスノート」を参照。

(54) Title: CORRELATOR

(54) 発明の名称: 相関器



(57) Abstract: A correlator for taking a correlation value of a predetermined length of data comprises correlators, wherein each of the correlators has a length equal to a divisor of a predetermined length, the product of all the lengths of the correlators is equal to the predetermined length, and the correlation value outputted from one of the correlators is inputted into the next correlator.

- 11...INPUT SIGNAL
10...LENGTH OF CORRELATOR (M)
20...LENGTH OF CORRELATOR (K)
21...OUTPUT SIGNAL
30...LENGTH OF CORRELATOR (L)
40...LENGTH OF CORRELATOR (M x K)
41...OUTPUT SIGNAL

WO 01/22608 A1

[続葉有]



(57) 要約:

本発明は、所定の長さのデータの相関をとるための相関器であって、複数段の相関器からなり、前記複数段の相関器のそれぞれは前記所定の長さの約数に等しい長さを有しており、前記複数段の相関器のそれぞれの長さは、前記複数段の相関器の長さを全て掛け合わせた値が前記所定の長さに等しくなるように設定されており、前記複数段の相関器において、一の相関器から出力される相関値は該一の相関器の次段に位置する相関器に入力されるものである相関器を提供する。

明 細 書

相関器

技術分野

本発明は、相関器に関し、特に、CDMA通信方式の受信装置に好適な相関器に関する。

背景技術

スペクトラム拡散（SS：スプレッドスペクトラム）方式においては、周知のごとく、送信側において送信信号を変調した後に拡散符号を用いてスペクトラム拡散して送信し、受信側においては、送られてきたスペクトラム拡散信号を受信して復調する際に、送信側で拡散に用いた拡散符号（Pseudorandom Noise：単に「PN」ともいう）系列と同じものを用いて逆拡散する。

近時、スペクトラム拡散方式の拡散符号系列を各通信毎に割り当てるCDMA（Code Division Multiple Access：符号分割多元接続）通信方式が、移動体通信システムにおける移動端末の無線通信方式の標準として期待されている。

このCDMA通信方式においては、例えば、ユーザの情報をそのユーザ固有の拡散符号でそれぞれ拡散したものを同じ周波数帯で重ね合わせて送信し、受信側においては、受信したいユーザの拡散符号を用いて所望の情報を抽出する。

このCDMA通信方式は、スペクトル利用効率が高い、マルチパスに強い、通信内容の秘匿性が高い、などの利点を有している。

CDMA方式の通信システムにおいては、受信装置において、信号中の拡散符号とのタイミング同期をとることが必要である。すなわち、送られてきた信号の拡散符号系列発生タイミングと受信側で用意する拡散符号系列発生タイミングとを1チップ以内の精度で推定し、拡散符号系列発生器をそのタイミングで動作開始させる同期捕捉が行われる。

また、直接拡散（D S）方式においては、わずかでも同期位置がずれると受信信号を見失うため、一度捕捉に成功した受信信号に対して受信側で拡散符号系列の時間ずれを起こさないように監視する同期追跡が必要とされる。

このため、同期信号として予め定められた固定パターン（同期用パターンであり、「パイロットシンボル」ともいう）を送信信号中に挿入して送信し、受信側では受信した信号と固定パターンとの相関値を算出することにより、同期検出を行ない、これにより、受信信号の検出やタイミングの同期制御を行っている。

スペクトラム拡散通信装置のうち直接拡散（D S）方式のものが、例えば、特許 2 8 5 0 9 5 9 号の特許公報に記載されている。

この特許公報に記載されている従来のスペクトラム拡散受信装置は次のように作動する。

アンテナから受信したスペクトラム拡散信号である受信信号は信号変換部をなす局部発振器及びローパスフィルタにおいてベースバンド信号に変換される。このベースバンド信号はサンプルアンドホールド回路で、例えば、1 / 2 チップ毎にサンプルされ、そのサンプリング信号は、マッチドフィルタ（M a t c h e d F i l t e r）からなる相関器へ伝送される。この相関器では、受信した信号の拡散符号 1 シンボル分と予め用意された拡散符号 1 シンボル分とをチップ毎に乗算を行ない、その和を算出し、同期検波器へ送出する。

サンプリング信号と拡散符号との相関をとる相関器の一例を図 8 に示す。この相関器は、シフトレジスタ 3 0 1 と、係数発生器 3 0 2 と、乗算器 3 0 3₁ 乃至 3 0 3₄ と、加算器 3 0 4 と、からなっている。

図 8 に示すように、ベースバンド信号に変換されたスペクトラム拡散信号（入力信号）3 0 0 はシフトレジスタ 3 0 1 において 1 チップずつ順次格納される。一方、係数発生器 3 0 2 は拡散符号系列を発生させる。シフトレジスタ 3 0 1 に格納されたスペクトラム拡散信号と拡散符号系列とは 1 チップ毎に乗算器 3 0 3₁ 乃至 3 0 3₄ において乗算され、各乗算器 3 0 3₁ 乃至 3 0 3₄ の乗算結果は加算器 3 0 4 に伝送され、各乗算結果の和が算出される。この和は出力信号 3 0 5 として加算器 3 0 4 から出力される。

拡散符号系列と受信されたスペクトラム拡散信号の拡散符号とのタイミングが一致している場合に、加算器 304 からの出力信号 305 が最大値（マッチドパルス：Matched Pulse）となる。このため、このマッチドパルスを最大値検出回路（ピーク判定回路：図示せず）と同期検出器（図示せず）とで検出し、この同期情報を使って逆拡散復調が行われる。

なお、上記の特許 2850959 号特許公報には、同期回路を備えたスペクトラム拡散通信同期捕捉復調装置の構成が開示されている。この同期回路はシンボル積分器を備えており、このシンボル積分器は、相関器とこの相関器から出力される相関値に対応するシンボルの理論値又は未知のシンボルのときの復調後の判定値のいずれかに基づいて、相関値を逆変調し、複数のシンボルを加算し、複数シンボルの加算パワーを求めてパワー値を得るようになっている。

CDMA 方式の通信システムにおいては、スペクトル拡散変調を受けた信号は広帯域となり、信号の電力スペクトル密度は著しく低くなる。このため、受信機フロントエンドでの S/N （信号対雑音）比は極めて低い。すなわち、チップ速度で換算したときの入力信号の S/N 比が極めて小さいことから、正しくタイミング同期を図るためには、同期用パターンとして、チップ単位でみた場合に長大な長さの固定パターンが必要となり、受信側では、同期捕捉用回路として大きな相関器が必要とされている。

例えば、図 8 に示した従来の相関器の構成において、相関器の長さを長くすれば、シフトレジスタ 301 及び加算器 304 等それぞれの回路規模が増大し、さらに、乗算器 303、乃至 303 の個数も増大する。その結果、相関器の消費電力も増大し、CDMA 方式の携帯電話機などの移動体端末装置の低消費電力化及び低コスト化を難しいものとしている。

例えば、長さ K シンボルの固定語を拡散率 M チップ／シンボルで拡散した信号よりなる符号長 N の固定パターンを入力とする場合、相関器は $M \times K$ チップの長さの相関器として構成される。

さらに、図 8 に示した従来の相関器の構成において、その長さを長くすれば、シフトレジスタ 301 の長さが長くなり、相関値の算出に要する時間も長くなり、ひいては、同期捕捉までに要する時間も長くなる。

図 7 に従来の別の相関器の構成を示す。図 7 に示す相関器は、入力信号 200 と拡散係数 C_i とが入力され、かつ、乗算される乗算器 201 と、加算回路 202 と、ラッチ回路 203 と、から構成されている。

乗算器 201 に入力された入力信号 200 と拡散係数 C_i とは乗算器 201 で乗算され、乗算結果が加算回路 202 の一の入力端に供給され、加算回路 202 の他の入力端に供給される一つ前の累算値（初期値は 0）と加算される。その加算結果はラッチ回路 203 でラッチされるとともに、加算回路 202 の他の入力端に帰還入力され、次の乗算結果と加算される。

この図 7 に示した従来 of 相関器は、図 8 に示した並列型の相関器と比べて、乗算器の数は少なくてすむ。すなわち、乗算器は 1 つですむが、図 8 に示した相関器よりも相関値の算出に要する時間が長くなる。

すなわち、図 7 に示す従来 of 相関器において、例えば、長さ N の相関をとる場合、 N 回の乗算とこれらを加算をした結果が相関値として出力される。従って、相関値が得られるまでに要する時間は長さ N に比例して増大し、同期捕捉までに要する時間も長くなる。

携帯電話機その他の移動体端末装置に求められている低消費電力化及びコストの低減を図るためには、相関器の回路構成を縮減して、ハードウェア規模を削減することが必要である。さらに、相関器の高速化も必要である。

しかしながら、図 7 及び図 8 に示した従来 of 相関器によつては、これらの要求を満たすことはできない。

本発明はこのような課題の認識に鑑みて創案されたものであつて、その主たる目的は、CDMA 通信方式の受信装置に用いられる相関器において、回路規模の特段の縮減を図ることができる相関器を提供することにある。

また、本発明は、回路規模の増大を抑止低減しながら同期用パターンとして複数種の固定パターンに対応可能な相関器を提供することもその目的としている。

発明の開示

上記の目的を達成するため、本発明は、所定の長さのデータの相関をとるた

めの相関器であって、複数段の相関器からなり、前記複数段の相関器のそれぞれは前記所定の長さの約数に等しい長さを有しており、前記複数段の相関器のそれぞれの長さは、前記複数段の相関器の長さを全て掛け合わせた値が前記所定の長さに等しくなるように設定されており、前記複数段の相関器において、一の相関器から出力される相関値は該一の相関器の次段に位置する相関器に入力されるものである相関器を提供する。

また、本発明は、所定の長さのデータの相関をとるための相関器であって、複数段の相関器からなり、前記複数段の相関器のそれぞれは前記所定の長さの約数に等しい長さを有しており、前記複数段の相関器のそれぞれの長さは、前記複数段の相関器の長さを全て掛け合わせた値が前記所定の長さに等しくなるように設定されており、前記複数段の相関器において、一の相関器は、入力信号と、該入力信号との間の相関をとるための係数列とを入力し、第一の相関値を出力し、前記一の相関器の次段に位置する相関器は、前記第一の相関値と、該第一の相関値との間の相関をとるための係数列とを入力し、第二の相関値を出力するものである相関器を提供する。

さらに、本発明は、所定の長さ N ($N = M \times K$ 、 M 及び K は 1 より大きい整数) のデータの相関をとるための相関器であって、長さ M の 1 段目の相関器と長さ K の 2 段目の相関器とからなり、前記 2 段目の相関器は、前記 1 段目の相関器から出力される K 個の相関値を入力して相関をとるものである相関器を提供する。

また、本発明は、所定の長さ N ($N = M \times K$ 、 M 及び K は 1 より大きい整数) のデータの相関をとるための相関器であって、長さ M の 1 段目の相関器と長さ K の 2 段目の相関器とからなり、前記 1 段目の相関器は、入力信号と、該入力信号との間の相関をとるための係数列とを入力し、 K 個の第一の相関値を出力し、前記 2 段目の相関器は、前記第一の相関値と、該第一の相関値との間の相関をとるための係数列とを入力し、第二の相関値を出力するものである相関器を提供する。

また、本発明は、所定の長さ N ($N = N_1 \times N_2 \times \cdots \times N_m$ 、 N_1 乃至 N_m はそれぞれ 1 より大きい整数、 m は 3 以上の正の整数) のデータの相関をとる

ための相関器であって、 N_1 乃至 N_m のそれぞれの長さを有する m 段の相関器を備え、前記 m 段の相関器において、 $(k+1)$ 段目 (k は 1 以上、 $(m-1)$ 以下の正の整数) の相関器は、 k 段目の相関器から出力される $N_{(k+1)}$ 個の相関値を入力して相関をとるものである相関器を提供する。

また、本発明は、所定の長さ N ($N = N_1 \times N_2 \times \dots \times N_m$ 、 N_1 乃至 N_m はそれぞれ 1 より大きい整数、 m は 3 以上の正の整数) のデータの相関をとるための相関器であって、 N_1 乃至 N_m のそれぞれの長さを有する m 段の相関器を備え、長さ N_1 を有する 1 段目の相関器は、入力信号と、該入力信号との間の相関をとるための係数列とを入力し、 N_2 個の第一の相関値を出力し、長さ $N_{(k+1)}$ を有する $(k+1)$ 段目の相関器 (k は 1 以上、 $(m-1)$ 以下の正の整数) は、 k 段目の相関器から出力される $N_{(k+1)}$ 個の相関値と、該 $N_{(k+1)}$ 個の相関値との間の相関をとるための係数列とを入力し、第 $(k+1)$ の相関値を出力するものである相関器を提供する。

また、本発明は、所定の数のシンボルよりなる固定語の各シンボルを拡散符号で拡散した固定パターンを有する入力信号を入力とし、一段目の相関器と二段目の相関器とからなる相関器であって、前記一段目の相関器において、1 シンボルの長さ分について、前記入力信号と前記拡散符号との間の相関をとり、前記一段目の相関器において、前記所定の数のシンボル分について、前記一段目の相関器から出力される相関値と前記固定語との間の相関をとる相関器を提供する。

例えば、本発明に係る相関器は、前記一段目の相関器を一つ備え、かつ、前記固定語の種類に応じた数の前記二段目の相関器を備えるものとして構成することができる。

また、本発明に係る相関器は、前記二段目の相関器の出力を入力とする最大値検出手段をさらに備えることが好ましい。この最大値検出手段は、前記二段目の相関器からそれぞれ出力される相関値が最大の時に同期検出を通知するための最大値信号を出力する。

また、本発明は、長さ K シンボル (K は所定の正の整数) の固定語を M チップ/シンボル (M は所定の正の整数) の割合で拡散した信号よりなる符号長 N

($N = M \times K$) の固定パターンを入力信号として入力し、 M チップの長さを有し、前記固定パターンのうちの k 番目 ($0 \leq k < K$) のシンボル部分と拡散符号 S_m (m は $k \times M \leq m < (k + 1) \times M$ の範囲の整数) との間の相関値を求める第一の相関器と、前記第一の相関器から出力された相関値について K シンボル分のデータを入力し、長さ K の固定語との間の相関値を出力する第二の相関器と、を備えたことを特徴とする相関器を提供する。

また、本発明は、長さ K シンボル (K は所定の正の整数) の固定語を M チップ／シンボル (M は所定の正の整数) の割合で拡散した信号よりなる符号長 N ($N = M \times K$) の固定パターンを入力信号として入力し、 M チップの長さを有し、前記固定パターンのうちの k 番目 ($0 \leq k < K$) のシンボル部分と拡散符号 S_m (m は $k \times M \leq m < (k + 1) \times M$ の範囲の整数) との間の相関値を求める第 1 の相関器と、前記第 1 の相関器において求められ、前記入力信号について互いに位相の異なる相関値を 1 シンボルあたり所定個数分記憶し、全体で K シンボル分の相関値を記憶する記憶部と、前記記憶部から前記所定個数おきに読み出された K シンボル分のデータを入力し、前記固定語との間の相関値を出力する第 2 の相関器と、を備えたことを特徴とする相関器を提供する。

また、本発明は、長さ K シンボル (K は所定の正の整数) の同期検出用の固定語を M チップ／シンボル (M は所定の正整数) の割合で拡散した符号長 N ($N = M \times K$) の固定パターンを受信する相関器であって、前記固定パターンを入力信号として入力し、 M チップの長さを有し、前記固定パターンのうちの k 番目 ($0 \leq k < K$) のシンボル部分と拡散符号 S_m (m は $k \times M \leq m < (k + 1) \times M$ の範囲の整数) との間の相関値を出力する第 1 の相関器と、前記第 1 の相関器でそれぞれ算出される、前記入力信号について互いに位相のずれている相関値を 1 シンボルあたり所定個数 (L 個) 記憶し、全体で K シンボルについて $L \times K$ 個の相関値を記憶する記憶部と、前記記憶部から L 個おきに K シンボル分のデータを読み出すための読み出しアドレスを出力する読み出しアドレス制御部と、前記記憶部から L 個おきに読み出された K シンボル分のデータを入力し、前記固定語との間の相関値を出力する第 2 の相関器と、を備えた相関器を提供する。

本発明に係る相関器は、書き込みアドレスを出力する書き込みアドレス制御部をさらに備えていることが好ましい。前記第 1 の相関器から出力される相関値は、前記書き込みアドレス制御部が指示する前記記憶部のアドレスに書き込まれる。

また、本発明に係る相関器は、前記第 1 の相関器を一つ備え、かつ、前記固定語の種類に応じた数の前記第二の相関器を備えたものとして構成することができる。

本発明に係る相関器は、前記第 2 の相関器の出力を入力とする最大値検出手段をさらに備えることが好ましい。この最大値検出手段は、前記第 2 の相関器からそれぞれ出力される相関値が最大の時に同期検出を通知するための最大値信号を出力する。

本発明に係る相関器は、前記第 1 の相関器が前記入力信号との相関をとる前記拡散符号の切替を行う符号切替部をさらに備えることが好ましい。

相関値相互間の位相は、例えば、1チップまたは $1/2$ チップずつずらすことができる。

前記記憶部は、例えば、デュアルポート型のランダムアクセスメモリよりなることが好ましい。

本発明に係る相関器においては、前記第 2 の相関器に代えて、前記第 1 の相関器から出力される K 個の相関値と前記固定語とが互いに一致するか否かを比較する比較器を設けることが可能である。

また、本発明は、所定の長さ N のデータの相関をとる相関器であって、前記 N の約数である長さ M の第 1 の相関器と、前記 N の約数である長さ K の第 2 の相関器とからなり、前記第 1 の相関器は、長さ M の入力データと、前記長さ M の入力データとの間の相関をとるために予め用意された長さ M のデータとの間の相関をとり、前記第 2 の相関器は、前記第 1 の相関器が出力する K 個の相関値と、前記第 1 の相関器から出力される相関値との間の相関をとるために予め用意された K 個のデータとの間の相関をとるものである相関器を提供する。

また、上記の相関器の何れかを CDMA (符号分割多元接続) 方式の通信装置に用いることも可能である。

また、本発明は、スペクトル拡散方式の通信装置において、スペクトル拡散された入力信号を逆拡散するために該入力信号と拡散符号との間の相関をとる第1の相関器と、前記第1の相関器から出力される所定数の相関値出力と同期パターンとの間の相関をとる第2の相関器と、からなる同期捕捉用の相関器を備えることを特徴とする通信装置を提供する。

また、本発明は、スペクトル拡散方式の通信装置において、スペクトル拡散された入力信号を逆拡散するために該入力信号と拡散符号との間の相関をとる第1の相関器と、前記第1の相関器から出力される所定数の相関値出力と同期パターンとが互いに一致するか否かを比較を行う比較器と、からなる同期捕捉用の相関器を備えることを特徴とする通信装置を提供する。

図面の簡単な説明

図1の(a)及び(b)は本発明の一実施例の構成を示す図であり、(c)は従来の相関器の構成を示す図である。

図2は、本発明の一実施例の構成を示すブロック図である。

図3は、図2に示した実施例の動作を説明するためのタイミングチャートである。

図4は、図2に示した実施例における1段目の相関器から出力される1個の相関値を説明するための図である。

図5は、本発明の他の実施例の構成を示すブロック図である。

図6は、本発明のさらに他の実施例の構成を示すブロック図である。

図7は、従来の相関器の構成の一例を示すブロック図である。

図8は、従来の相関器の構成の他の例を示すブロック図である。

好ましい実施例の詳細な説明

本発明の実施の形態について説明する。図1は、本発明の構成原理を説明するための図であり、図1(a)、及び図1(b)は、それぞれ、本発明に係る相関器の構成を示す図であり、また図1(c)は、比較例として従来型の相関器の構成を示す図である。

図 1 (a) は本発明に係る相関器の第一の実施例を示す。本実施例に係る相関器は、所定の長さ N ($N = M \times K$) 分の長さの相関をとるための相関器であり、長さ M の 1 段目の相関器 10 と、1 段目の相関器 10 から出力される相関値 12 を入力とする長さ K の 2 段目の相関器 20 とをカスケード接続して構成したものである。

1 段目の相関器 10 は、入力信号 11 と、長さ M の入力信号 11 との相関をとるための係数列 S_i ($i = 1, 2, \dots, M$) とを入力して相関 (乗算と加算) をとり、相関値 12 を出力する。2 段目の相関器 20 は、1 段目の相関器 10 の相関値出力 12 と、相関値 12 の出力列 (K 個) との相関をとるための係数列 U_i ($i = 1, 2, \dots, K$) とを入力して相関をとる、相関値 21 を出力する。

一方、図 (c) は、本実施例に係る相関器と同様に、所定の長さ N ($N = M \times K$) 分の長さの相関をとるための従来の相関器 40 を示している。

本実施例に係る相関器によれば、2 つに分割された 1 段目の相関器 10 及び 2 段目の相関器 20 の長さは合わせて $(M + K)$ でよく、図 1 (c) に示した $(M \times K)$ の長さからなる従来の相関器 40 と比べて、その回路規模を特段に縮減することができる。

さらに、2 つに分割された相関器の長さが合わせて $(M + K)$ でよいことから、相関値の演算処理の高速化を図ることができる。

例えば、図 1 (a) に示した 1 段目の相関器 10 及び 2 段目の相関器 20 を用いて図 8 に示した相関器を作製する場合、シフトレジスタの段数、乗算器の数は $(M + K)$ 個でよい。

また、図 1 (a) に示した 1 段目の相関器 10 及び 2 段目の相関器 20 を用いて図 7 に示した相関器を作製する場合、相関値の演算に要する時間は、 $N = M \times K$ ではなく、 $M + K$ に比例する。

なお、図 1 (a) に示した第一の実施例に係る相関器は 2 段の構成に限定されるものでなく、例えば、図 1 (b) に示すように、3 段構成とすることも可能である。

図 1 (b) に示した相関器は、所定の長さ N ($N = M \times K \times L$) 分の長さの

相関をとるための相関器であり、長さMの1段目の相関器10と、1段目の相関器10から出力される相関値12を入力とする長さKの2段目の相関器20と、2段目の相関器20から出力される相関値22を入力とする長さLの3段目の相関器30と、をカスケード接続して構成したものである。

1段目の相関器10は、入力信号11と、長さMの入力信号11との相関をとるための係数列 S_i ($i = 1, 2, \dots, M$) とを入力して相関(乗算と加算)をとり、相関値12を出力する。2段目の相関器20は、1段目の相関器10の相関値出力12と、相関値12の出力列(K個)との相関をとるための係数列 U_i ($i = 1, 2, \dots, K$) とを入力して相関をとり、相関値22を出力する。3段目の相関器30は、2段目の相関器20の相関値出力22と、相関値22の出力列(L個)との相関をとるための係数列 V_i ($i = 1, 2, \dots, L$) とを入力して相関をとり、相関値21を出力する。

図1(b)に示した相関器によれば、3つに分割された1段目の相関器10、2段目の相関器20及び3段目の相関器30の長さは合わせて($M + K + L$)でよく、この相関器に対応する従来の相関器(長さ= $M \times K \times L$)と比べて、その回路規模を特段に縮減することができ、さらに、相関値の演算処理の高速化を図ることができる。

また、図1(b)に示した相関器から容易に類推可能であるように、4段または5段以上の相関器を構成することも可能である。

例えば、長さ S ($S = S_1 \times S_2 \times \dots \times S_R$; R は4以上の正の整数)の相関をとるための相関器は、長さがそれぞれ S_1, S_2, \dots, S_R の R 個の相関器をカスケード接続して構成される。各相関器は、前段の相関器から出力される相関値と、各相関器に入力される入力信号との相関をとるための係数列とを入力し、相関値を出力する。

図1(b)に示した3段の相関器の実施例によれば、例えば、長さが1000チップ(chip)の相関をとる相関器を、長さが10チップの相関器を3段カスケード接続することにより、構成することができる。この場合、3つに分割された相関器の長さは合わせて30チップであり、長さ1000チップの従来の相関器40(図1(c)参照)と比べて、その回路規模を特段に縮減で

きることがわかる。

次に、図1 (a) に示した第一の実施例に係る相関器をCDMA方式の通信装置の同期捕捉用の相関器に適用した場合の一実施例を以下に説明する。

本実施例における相関器は、長さKシンボル (Kは所定の正の整数) の固定語をMチップ/シンボル (Mは所定の正の整数) の拡散率 (spreading ratio: シンボル区間とチップ区間との比) で拡散した信号よりなる符号長N ($N = M \times K$) の固定パターン C_n を入力として相関値を出力するものであり、1段目の相関器10と2段目の相関器20とからなる2段構成を有している。

1段目の相関器10は、Mチップの長さを有しており、入力した固定パターンのうちのk番目 ($0 \leq k \leq K-1$) のシンボル部分に対して、それぞれ、拡散符号 S_m (mは、 $k \times M \leq m < (k+1) \times M$ の範囲の整数) との相関値を出力する。

2段目の相関器20は、1段目の相関器10から出力された相関値についてKシンボル分のデータを入力し、長さKの固定語 U_0 乃至 $U_{(K-1)}$ との相関値を出力する。

すなわち、最初に、固定パターン C_n ($n = 0, 1, 2, \dots, N-1$) に比べて長さの短い1段目の相関器10において第1の相関値を算出し、次に、長さKの2段目の相関器20で固定語との相関値を算出する。

本実施例によれば、回路規模の削減を図ることができる。さらに、相関器の長さを短くした結果、高速処理が可能になる。

拡散率Mは、典型的なアプリケーションにおいては、例えば、10乃至1000程度である。一例を挙げると、 $M = 100$ とし、フレーム同期パターンとして固定語を U_0 乃至 U_{15} 、すなわち、 $K = 16$ とした場合、図1 (c) に示した従来の相関器40の長さNは

$$N = M \times K = 1600$$

となる。

これに対して、図1 (a) に示した相関器においては、その長さは

$$M + K = 116$$

となる。この長さは図 1 (c) に示した従来の相関器 40 の長さ N のほぼ $1/14$ である。

また、図 1 (a) に示した相関器においては、1 段目の相関器 10 と 2 段目の相関器 20 はともに 1 個の場合の例を示したが、1 段目の相関器を共通とし、2 段目の相関器を複数設けることも可能である。

このような構成をとることにより、回路規模の増大を抑止しながら、複数種類の固定パターンに対応することが可能になる。

例えば、長さ M の 1 段目の相関器と長さ K の 2 段目の相関器を R 個備えた相関器においては、相関器の長さ N は

$$N = M + K \times R$$

となる。

一方、長さ N ($=M \times K$) の相関器を R 個用意する場合、その全体の長さは $M \times K \times R$

となる。このように、上記の実施例によれば、回路規模を特段に縮減することが可能になる。

以下、本発明に係る相関器の他の実施例を図面を参照して説明する。

図 2 は、本発明の一実施例に係る相関器の構成を示すブロック図である。

本実施例に係る相関器は、CDMA 方式の通信システムの受信装置の同期捕捉回路に適用したものである。

なお、相関器の前段に設けられる回路構成としては、無線信号を受信するアンテナ、アンテナで受信した信号を増幅する増幅器、増幅器の出力とローカル信号とのミキシングを行ない、中間周波数 (IF) 信号を出力するミキサ、ローパスフィルタよりなる信号変換部、及び、信号変換部からのベースバンド信号を標本化して保持するサンプルアンドホールド回路などが用いられる。これらは、何れも公知のものであり、詳細な説明は省略する。

図 2 に示すように、本実施例に係る相関器は、1 段目の相関器 101 と、1 段目の相関器 101 に供給する拡散符号列の切替を制御する符号切替部 104 と、メモリ 102 と、メモリ 102 の読み出しアドレスを制御する読み出しアドレス制御部 105 と、メモリ 102 の書き込みアドレスを制御する書き込み

アドレス制御部 106 と、2 段目の相関器 103 と、からなる。

拡散符号で変調された送信信号は、受信装置のアンテナ（図示せず）で受信され、信号変換回路でベースバンド信号に変換され、サンプルアンドホールド回路でサンプリングされ、入力信号 100 として、1 段目の相関器 101 に入力される。

1 段目の相関器 101 は、1 シンボル分の長さの入力信号 100 と拡散符号との相関値を算出し、相関値 108 として出力する。

符号切替部 104 は、1 段目の相関器 101 が入力信号 100 との相関をとる拡散符号の切替を行う。

書き込みアドレス制御部 106 は、1 段目の相関器 101 から出力される相関値 108 のメモリ 102 への書き込みアドレスを生成する。

読み出しアドレス制御部 105 は、メモリ 102 から 2 段目の相関器 103 へ供給する相関値 109 をメモリ 102 から読み出すための読み出しアドレスを生成する。

メモリ 102 においては、1 段目の相関器 101 から出力される相関値 108 が、書き込みアドレス制御部 106 から出力される書き込みアドレスに書き込まれる。さらに、読み出しアドレス制御部 105 から出力される読み出しアドレスの内容がメモリ 102 から読み出され、2 段目の相関器 103 へ供給される。

メモリ 102 は、例えば、書き込みと読み出しとが 2 つのポートで独立して行われるデュアルポート RAM から構成される。

2 段目の相関器 103 は、メモリ 102 から読み出された所定個数の相関値 109 と、これらの読み出された相関値との間の相関をとるために予め用意された同期検出用の所定個数のシンボルよりなる固定語との間の相関値を算出し、相関値 107 として出力する。

なお、図 2 に示す相関器には、2 段目の相関器 103 の出力を入力とする最大値検出回路（ピーク判定回路）を設けることができる。この最大値検出回路は、2 段目の相関器 103 から出力される相関値が最大するとき、同期検出を通知するための最大値信号を出力する。

次に、図2を参照して、本実施例に係る相關器の動作について説明する。

なお、1段目の相關器101に入力される入力信号100は、符号長Nの固定パターン C_n (n は0以上($N-1$)以下の整数)を含むものとする。

この固定パターン C_n ($n=0, 1, 2, \dots, N-1$)は、予め定められた長さKシンボルの固定語を送信側においてMチップ/シンボルの割合で拡散符号で拡散した信号からなる。この固定パターンがフレーム同期パターンとして送信信号中に挿入され、受信装置で受信される。受信装置で受信される固定パターン C_n にはその伝送中に雑音が含まれている。

なお、固定パターン C_n の符号長Nは

$$N = K \times M$$

である。

長さKシンボルの固定語の k シンボル目の値を U_k ($0 \leq k \leq K-1$)とし、拡散符号を S_n とすると、送信側において、固定語 U_k を拡散符号 S_n でMチップ/シンボルの割合で拡散した固定パターン C_n ($n = kM + m$, $0 \leq m \leq M-1$)は、次式(1)として表される。

$$C_{(kM+m)} = U_k \times S_{(kM+m)} \quad (1)$$

本実施例に係る相關器を備えた受信装置は、送信側において拡散符号 S_n で拡散された固定パターン C_n ($n=0, 1, 2, \dots, N-1$)を受信し、1段目の相關器101と2段目の相關器103からなる2段構成の相關器を用いて相關値を算出する。

受信装置で受信する信号中において、固定パターン C_n ($n=0, 1, 2, \dots, N-1$)が挿入される時刻(タイミング)は予め定められた所定の範囲内にあるものとする。

1段目の相關器101はMチップの長さを有している。1段目の相關器101は、受信した固定パターン C_n ($n=0, 1, 2, \dots, N-1$)のうち、固定語の k 番目のシンボルの値 U_k を受信している部分の入力信号100のM個のサンプル値と、拡散符号 S_m ($k \times M \leq m < (k+1) \times M$)との間の相關値を出力する。

受信装置において、送信信号との同期がとれたとき、送信側で固定パターン

C_n ($n = 0, 1, 2, \dots, N-1$) を拡散した拡散符号列と、1 段目の相関器 101 の拡散符号列とが同一となり、1 段目の相関器 101 から出力される相関値 108 は、固定語の k 番目のシンボルの値 U_k に雑音が加わった値となる。

1 段目の相関器 101 から出力される相関値 108 は、メモリ 102 において、書き込みアドレス制御部 106 から出力される書き込みアドレス信号により指定されたアドレスに逐次記憶される。

書き込みアドレス制御部 106 はカウンタを備えている。このカウンタは、カウント値 0 から順次インクリメントを行い、メモリ 102 の最大アドレスまでカウントした後、カウント値が 0 にクリアされる。このカウンタのカウント値が書き込みアドレスとして出力される。

本実施例においては、受信装置で受信される受信信号において、固定パターン C_n ($n = 0, 1, 2, \dots, N-1$) が受信される予想タイミングの範囲として、 L チップ区間分に相当する時間幅、すなわち、不確定幅が存在するものとする。

図 4 は、1 段目の相関器 101 から出力される L 個の相関値の相互間の位相のずれを示すタイミングチャートである。

図 4 に示すように、1 段目の相関器 101 においては、長さ M のサンプル列 #1 乃至サンプル列 # L は 1 チップ区間ずつ互いに位相がずれている。すなわち、サンプル列 #1 乃至サンプル列 # L においては、拡散符号との間で相関をとる入力信号 100 の開始ポイント（サンプルポイント）が 1 チップずつ遅れている。

1 段目の相関器 100 は、サンプル列 #1 乃至サンプル列 # L のそれぞれについて、順次、拡散符号との間の相関をとっていき、一シンボルあたり L 個の相関値をメモリ 102 に順次記憶させる。従って、 K 個のシンボルに対しては、 $L \times K$ 個の相関値がメモリ 102 に書き込まれることになる。

なお、図 4 には、1 つの固定パターンに対して 1 チップずつ位相がずれた L 個のサンプル列の入力信号についてそれぞれ拡散符号との相関値を求める例が示されているが、本実施例はかかる構成に限定されるものでない。

例えば、1チップずつ位相がずれた長さMの入力信号の相関値を2L個（2Lチップ区間分に相当する時間幅分）算出するようにしてもよいし、あるいは、1/2チップずつ位相がずれた長さMの入力信号の相関値を2L個算出するようにしてもよい。

2段目の相関器103は、読み出しアドレス制御部105から出力される読み出しアドレスに従って、メモリ102から、L個おきに読み出されたKシンボル分のデータと固定語 U_k （ $k = 0, 1, 2, \dots, K-1$ ）との間の相関値を算出して出力する。

次に、図2及び図3を参照して、本実施例における1段目の相関値101からメモリ102への書き込み動作、及び、メモリ102からの読み出し動作について説明する。

図3は、本実施例における1段目の相関器101からメモリ102に対する書き込みとメモリ102からの読み出し動作を説明するためのタイミングチャートである。

図3（a）は拡散符号 S_n （ $0 \leq n \leq N-1$ ）を、図3（b）は固定語 U_k （ $0 \leq k \leq K-1$ ）を、図3（c）は、図3（a）に示した拡散符号 S_n と図3（b）に示した固定語 U_k とから生成される固定パターン C_n （ $0 \leq n \leq N-1$ ）、すなわち、送信信号（受信装置で受信される受信信号であり、1段目の相関器101へ供給される信号でもある）をそれぞれ示す図である。

図3（d）は1段目の相関器101の拡散符号を、図3（e）はメモリ102への相関値の書き込みの様子を、図3（f）はメモリ102からの相関値の読み出しの様子をそれぞれ模式的に示している。

受信信号に含まれる固定パターン C_n （図3（c）参照）は、上式（1）に示したように、拡散符号 S_n と固定語 U_k との積で表される。

1段目の相関器101は、図4を参照して説明したように、各シンボルが受信されると予想されるLチップの時間範囲に対する入力信号100の相関値をそれぞれ算出する（図3（d）参照）。このようにして1段目の相関器101から出力される1シンボルあたりL個分の相関値はそれぞれメモリ102に順次書き込まれる（図3（e）参照）。このとき、k番目のシンボルの符号に対して

は、相関をとる拡散符号として、そのシンボル位置に対応する拡散符号 S_m ($k \times M \leq m < (k+1) \times M$) が用いられる。

すなわち、1段目の相関器 101 においては、図 3 (d) に示すように、固定語の 0 番目のシンボルの符号 (U_0) に対して、そのシンボル位置に対応する拡散符号 S_0, S_1, \dots, S_{M-1} が用いられる。また、1 番目のシンボルの符号 (U_1) に対しては、そのシンボル位置に対応する拡散符号 $S_M, S_{M+1}, \dots, S_{2M-1}$ が用いられる。以下、同様に、 K 番目のシンボルの符号 (U_K) に対しては、そのシンボル位置に対応する拡散符号 $S_{KM}, S_{KM+1}, \dots, S_{KM+M-1}$ が用いられる。

これらの拡散符号 $S_0, S_1, \dots, S_{M-1}, S_M, S_{M+1}, \dots, S_{2M-1}$ および $S_{KM}, S_{KM+1}, \dots, S_{KM+M-1}$ の切替えは符号切替部 104 によって制御される。

2 段目の相関器 103 は、図 3 (f) に示すように、メモリ 102 から L 個おきに読み出された K シンボル分のデータと、固定語 U_k ($k = 0, 1, 2, \dots, K-1$) との間の相関値を算出し、出力する。

その際、読み出しアドレス制御部 105 は、メモリ 102 への読み出しアドレスとして、まず、アドレス 0 からアドレス L 分ずつ増加させたアドレスを順次 K 個生成する。

次いで、読み出しアドレス制御部 105 から出力されたアドレスを読み出しアドレスとしてメモリ 102 から K シンボル分の相関値 109 が順次読み出され、2 段目の相関器 103 に入力される。2 段目の相関器 103 は、入力された K 個の相関値 109 と固定語 U_k ($k = 0, 1, 2, \dots, K-1$) との相関値 107 を算出し、出力する。

次いで、読み出しアドレス制御部 105 は、アドレス 1 からアドレス L 分ずつ増加させたアドレスを順次 K 個生成する。次いで、これらのアドレスを読み出しアドレスとしてメモリ 102 から読み出された K 個の相関値が 2 段目の相関器 103 に入力される。

以下、同様にして、アドレス $(L-1)$ からアドレス L 分ずつ増加させたアドレスを K 個生成する。

すなわち、図 3 (f) に符号 (1) として示すように、まず、メモリ 102

のアドレス $0, L, 2 \times L, \dots, (K-1) \times L$ に格納されている K 個の相関値の 1 組目が順次読み出され、読み出し順に 2 段目の相関器 103 に入力され、固定語 U_k ($k = 0, 1, 2, \dots, K-1$) との間の相関値が算出される。

次いで、符号 (2) として示すように、メモリ 102 のアドレス $1, L+1, 2 \times L+1, \dots, (K-1) \times L+1$ に格納されている K 個のデータの 2 組目が読み出され、2 段目の相関器 103 に入力され、固定語 U_k ($k = 0, 1, 2, \dots, K-1$) との間の相関値が算出される。

以下、同様にして、符号 (L) で示すように、メモリ 102 のアドレス $(L-1), 2 \times L-1, 3 \times L-1, \dots, K \times L-1 (=N-1)$ に格納されている K 個のデータの L 組目が読み出され、2 段目の相関器 103 に入力され、固定語 U_k ($k = 0, 1, 2, \dots, K-1$) との間の相関値が算出される。

なお、図 3 (f) の符号 (1)、符号 (2) 及び符号 (L) との比較から明らかであるように、 M 組目 (M は 1 以上、 $(L-1)$ 以下の整数) の K 個の相関値と $(M+1)$ 組目の K 個の相関値とは、位相が 1 チップずれている。

このようにして、2 段目の相関器 103 は、メモリ 102 から順次読み出され、2 段目の相関器 103 に入力された符号 (1) から符号 (L) までの互いに位相の異なる L 組の K シンボル分の相関値と固定語 U_k ($k = 0, 1, 2, \dots, K-1$) との間の相関値をとり、相関値 107 を出力する。

メモリ 102 から読み出される K 個の相関値が固定語 U_k ($k = 0, 1, 2, \dots, K-1$) と一致する場合、2 段目の相関器 103 から出力される相関値 107 は受信信号の固定パターン C_n ($n = 0, 1, 2, \dots, N-1$) の相関値となり、その値は最大となる。

この 2 段目の相関器 103 から出力される相関値 107 は、長さ N チップの相関器を用いて、入力信号と固定パターン C_n ($n = 0, 1, 2, \dots, N$) との間の相関値と実質的に等しいものとなる。

これは、 M チップ毎に分割して算出された $L \times K$ 個の相関値のうち、 L 個おきに、同じ遅延時間の K 個の相関値の組 (図 3 (f) の符号 (1) 乃至 (L) の各組) を読み出し、固定語 U_k ($k = 0, 1, 2, \dots, K-1$) との間の相関値をとっているためである。

すなわち、1段目の相関器101からメモリ102に出力される固定パターン C_n ($n=0, 1, 2, \dots, N-1$)部分の長さ M の入力信号と拡散符号との間の相関値の K シンボル分 ($L \times K$ 個)のうち、 L 個おきにメモリ102から読み出される K 個の相関値は、固定語 U_k ($k=0, 1, 2, \dots, K-1$)の各シンボルにそれぞれ対応している。このため、互いに位相がずれている L 組の相関値について、各組の K 個の相関値と固定語 U_k ($k=0, 1, 2, \dots, K-1$)との間の相関値をとる2段目の相関器103からの出力により、固定語 U_k ($k=0, 1, 2, \dots, K-1$)を相関検波することができる。

そして、これは、 N チップ分の長さの固定パターン C_n ($n=0, 1, 2, \dots, N-1$)よりなる入力信号と長さ N の拡散符号 S_n ($n=0, 1, 2, \dots, N-1$)との間の相関値をとり、固定パターン C_n ($n=0, 1, 2, \dots, N-1$)を検出することにより、入力信号から固定語 U_k ($k=0, 1, 2, \dots, K-1$)を検出することと等価である。

以上のように、2段構成の相関器101、103を備えている本実施例に係る相関器は、長さ $N=K \times M$ チップに相当する相関器と等価な相関器として機能している。

次に、本発明の第2の実施例について説明する。図5は、本発明の第2の実施例に係る相関器の構成を示すブロック図である。

本実施例に係る相関器は、1段目の相関器101と、1段目の相関器101に供給する拡散符号列の切替を制御する符号切替部104と、メモリ102と、メモリ102の読み出しアドレスを制御する読み出しアドレス制御部105と、メモリ102の書き込みアドレスを制御する書き込みアドレス制御部106と、メモリ102に対して並列に接続された X 個の2段目の相関器103₁乃至103 _{X} と、からなる。

本実施例に係る相関器が図2に示した第一の実施例に係る相関器と異なる点は、複数の2段目の相関器103₁乃至103 _{X} をメモリ102に対して並列に備えている点である。

この2段目の相関器103₁乃至103 _{X} の数 X は固定パターンを構成する固定シンボルの種類の数に等しく設定されている。

すなわち、本実施例に係る相関器は、固定語 U_k ($k = 0, 1, 2, \dots, K-1$) からなるパターンが複数種類の値をとり得る場合に対応するために、長さ K シンボルの2段目の相関器をその種類に等しい数だけ備えており、これにより、全ての固定パターンに対する相関値を算出することができる。

固定語 U_k ($k = 0, 1, 2, \dots, K-1$) からなるパターンが複数種類の値をとり得る場合に対応するためには、従来の相関器によれば、長さ N チップの相関器を固定シンボルの種類の数だけ備える必要があり、回路規模が増大するという欠点を伴う。

これに対して、上記の第2の実施例によれば、固定語 U_k ($k = 0, 1, 2, \dots, K-1$) のパターンの種類の数に等しい数の2段目の相関器を備える構成としたため、回路規模の増大を抑止することが可能である。

なお、図5に示した本発明の第2の実施例に係る相関器において、2段目の相関器 103_1 乃至 103_x の出力をそれぞれ入力とする最大値検出回路（ピーク判定回路：図示せず）を備え、複数の2段目の相関器 103_1 乃至 103_x からそれぞれ出力される相関値が最大のときに最大値信号を出力するようにすることもできる。

次に、上記の各実施例において用いられる1段目の相関器 101 及び2段目の相関器 103 の構成について説明する。

1段目の相関器 101 は、入力信号と拡散符号との間の相関値を出力する機能を有するものであればよく、要求される処理性能に応じて任意の構成のものを適宜用いることができる。

例えば、1段目の相関器 101 として、図8に示した従来の相関器を用いることができる。

すなわち、1段目の相関器 101 は、符号切替部 104 で選択された拡散符号系列を発生する係数発生器 302 （図8参照）と、入力信号をチップ毎にシフトする長さ M のシフトレジスタ 301 と、シフトレジスタ 301 の各出力と拡散符号とを乗算する M 個の乗算器 303_1 乃至 303_M と、 M 個の乗算器の出力を加算する加算器 304 と、を備えて構成される。

あるいは、1段目の相関器 101 は、図7に示した従来の相関器と同様の構

成を備えるものとすることもできる。

すなわち、1段目の相関器101は、符号切替部104で選択された拡散符号系列を発生する係数発生器からの拡散符号と入力信号とをチップ毎に乗算する乗算器201（図7参照）と、乗算器201の出力と一つ前のラッチ出力を各入力端に入力して加算する加算器202と、加算器202の出力をラッチするラッチ回路203と、を備える。ラッチ回路203の出力は加算器202の入力端に帰還される。この1段目の相関器101においては、M個の入力信号と拡散符号とを一つの乗算器201で順次乗算した値を加算器202で加算した値が相関値として出力される。

2段目の相関器103は、メモリ102から読み出された所定個数の相関値と固定語との間の相関をとる機能を有するものであれば、要求される処理性能に応じて任意の構成のものを用いることができる。

例えば、1段目の相関器101と同様に、2段目の相関器103として、図7又は図8に示した相関器を用いることができる。

この場合、図8に示す構成において、K個の乗算器 303_1 乃至 303_K にはそれぞれ固定語 U_k （ $k=0, 1, 2, \dots, K-1$ ）が設定入力される。また図7に示す構成において、乗算器201には、係数 C_i として、固定語 U_k （ $k=0, 1, 2, \dots, K-1$ ）が順次入力される。

次に、本発明の第3の実施例に係る相関器について説明する。

本発明の第3の実施例に係る相関器の構成は、図2に示した第1の実施例に係る相関器の構成と基本的には同一であるが、2段目の相関器が、第1の実施例と相違している。

図6は、本発明の第3の実施例に係る相関器の部分的なブロック図である。

図2に示した第1の実施例において、2段目の相関器103からの相関値を利用せず、固定語と一致するか否かだけを判定する構成でよい場合には、図6に示すように、2段目の相関器103に代えて、1段目の相関器101からの相関値108と固定語との比較を行う比較器（コンパレータ）110を用いることができる。

すなわち、相関値をすべて得る必要がなく、例えば、同期パターン（フレー

ム同期パターン)との一致を検出するだけでよいような場合には、図6に示すように、2段目の相関器103はディジタルコンパレータ110で構成することができる。

このディジタルコンパレータ110は、1段目の相関器101からメモリ102に出力され、メモリ102からL個おきにK個読み出された相関値(b_0 乃至 $b_{(K-1)}$)と、固定語 U_0 乃至 $U_{(K-1)}$ とが互いに一致するか否かを比較し、一致した場合に一致検出信号111を出力する。

かかる構成の第3の実施例に係る相関器は、受信装置の入力端における信号のS/N比が比較的良好である場合に、同期パターンを検出するために用いる相関器として有効である。

なお、上記の各実施例においては、メモリ102は、高速化のため、書き込みアドレスと読み出しアドレスで参照されるアドレスの書き込みと読み出しが独立して行われるデュアルポートRAMからなるものとしたが、メモリ102は、デュアルポートRAMに限定されるものでなく、一つの入出力ポートを有する通常のRAMで構成することもできる。

産業上の利用可能性

以上説明したように、本発明によれば、長さMチップの相関器とKシンボルの相関器との2段構成として相関器を構成したことにより、回路規模の削減を達成しながら、長さN($N=M \times K$)チップの相関器と等価な相関値を算出することができる、という効果を奏する。

また、本発明によれば、固定パターンの種類の数に等しい数の2段目の相関器を備えることにより、回路規模の増大を抑止しながら複数の固定パターンに対する相関値を算出することができる、という効果を奏する。

請求の範囲

1. 所定の長さのデータの相関をとるための相関器であって、複数段の相関器からなり、

前記複数段の相関器のそれぞれは前記所定の長さの約数に等しい長さを有しており、

前記複数段の相関器のそれぞれの長さは、前記複数段の相関器の長さを全て掛け合わせた値が前記所定の長さに等しくなるように設定されており、

前記複数段の相関器において、一の相関器から出力される相関値は該一の相関器の次段に位置する相関器に入力されるものである相関器。

2. 所定の長さのデータの相関をとるための相関器であって、複数段の相関器からなり、

前記複数段の相関器のそれぞれは前記所定の長さの約数に等しい長さを有しており、

前記複数段の相関器のそれぞれの長さは、前記複数段の相関器の長さを全て掛け合わせた値が前記所定の長さに等しくなるように設定されており、

前記複数段の相関器において、一の相関器は、入力信号と、該入力信号との間の相関をとるための係数列とを入力し、第一の相関値を出力し、

前記一の相関器の次段に位置する相関器は、前記第一の相関値と、該第一の相関値との間の相関をとるための係数列とを入力し、第二の相関値を出力するものである相関器。

3. 所定の長さ N ($N = M \times K$ 、 M 及び K は 1 より大きい整数) のデータの相関をとるための相関器であって、

長さ M の 1 段目の相関器と長さ K の 2 段目の相関器とからなり、

前記 2 段目の相関器は、前記 1 段目の相関器から出力される K 個の相関値を入力して相関をとるものである相関器。

4. 所定の長さ N ($N = M \times K$ 、 M 及び K は 1 より大きい整数) のデータの相関をとるための相関器であって、

長さ M の 1 段目の相関器と長さ K の 2 段目の相関器とからなり、

前記 1 段目の相関器は、入力信号と、該入力信号との間の相関をとるための係数列とを入力し、 K 個の第一の相関値を出力し、

前記 2 段目の相関器は、前記第一の相関値と、該第一の相関値との間の相関をとるための係数列とを入力し、第二の相関値を出力するものである相関器。

5. 所定の長さ N ($N = N_1 \times N_2 \times \dots \times N_m$ 、 N_1 乃至 N_m はそれぞれ 1 より大きい整数、 m は 3 以上の正の整数) のデータの相関をとるための相関器であって、

N_1 乃至 N_m のそれぞれの長さを有する m 段の相関器を備え、

前記 m 段の相関器において、 $(k+1)$ 段目 (k は 1 以上、 $(m-1)$ 以下の正の整数) の相関器は、 k 段目の相関器から出力される $N_{(k+1)}$ 個の相関値を入力して相関をとるものである相関器。

6. 所定の長さ N ($N = N_1 \times N_2 \times \dots \times N_m$ 、 N_1 乃至 N_m はそれぞれ 1 より大きい整数、 m は 3 以上の正の整数) のデータの相関をとるための相関器であって、

N_1 乃至 N_m のそれぞれの長さを有する m 段の相関器を備え、

長さ N_1 を有する 1 段目の相関器は、入力信号と、該入力信号との間の相関をとるための係数列とを入力し、 N_2 個の第一の相関値を出力し、

長さ $N_{(k+1)}$ を有する $(k+1)$ 段目の相関器 (k は 1 以上、 $(m-1)$ 以下の正の整数) は、 k 段目の相関器から出力される $N_{(k+1)}$ 個の相関値と、該 $N_{(k+1)}$ 個の相関値との間の相関をとるための係数列とを入力し、第 $(k+1)$ の相関値を出力するものである相関器。

7. 所定の数のシンボルよりなる固定語の各シンボルを拡散符号で拡散した固定パターンを有する入力信号を入力とし、一段目の相関器と二段目の相関器

とからなる相関器であって、

前記一段目の相関器において、1シンボルの長さ分について、前記入力信号と前記拡散符号との間の相関をとり、

前記一段目の相関器において、前記所定の数のシンボル分について、前記一段目の相関器から出力される相関値と前記固定語との間の相関をとる相関器。

8. 前記一段目の相関器を一つ備え、かつ、前記固定語の種類に応じた数の前記二段目の相関器を備えたことを特徴とする請求項7に記載の相関器。

9. 前記二段目の相関器の出力を入力とする最大値検出手段をさらに備え、該最大値検出手段は、前記二段目の相関器からそれぞれ出力される相関値が最大の時に同期検出を通知するための最大値信号を出力するものであることを特徴とする請求項8に記載の相関器。

10. 長さ K シンボル (K は所定の正の整数) の固定語を M チップ/シンボル (M は所定の正の整数) の割合で拡散した信号よりなる符号長 N ($N = M \times K$) の固定パターンを入力信号として入力し、 M チップの長さを有し、前記固定パターンのうちの k 番目 ($0 \leq k < K$) のシンボル部分と拡散符号 S_m (m は $k \times M \leq m < (k + 1) \times M$ の範囲の整数) との間の相関値を求める第一の相関器と、

前記第一の相関器から出力された相関値について K シンボル分のデータを入力し、長さ K の固定語との間の相関値を出力する第二の相関器と、

を備えたことを特徴とする相関器。

11. 長さ K シンボル (K は所定の正の整数) の固定語を M チップ/シンボル (M は所定の正の整数) の割合で拡散した信号よりなる符号長 N ($N = M \times K$) の固定パターンを入力信号として入力し、 M チップの長さを有し、前記固定パターンのうちの k 番目 ($0 \leq k < K$) のシンボル部分と拡散符号 S_m (m は $k \times M \leq m < (k + 1) \times M$ の範囲の整数) との間の相関値を求める第1の

相関器と、

前記第 1 の相関器において求められ、前記入力信号について互いに位相の異なる相関値を 1 シンボルあたり所定個数分記憶し、全体で K シンボル分の相関値を記憶する記憶部と、

前記記憶部から前記所定個数おきに読み出された K シンボル分のデータを入力し、前記固定語との間の相関値を出力する第 2 の相関器と、

を備えたことを特徴とする相関器。

1 2. 長さ K シンボル (K は所定の正の整数) の同期検出用の固定語を M チップ/シンボル (M は所定の正整数) の割合で拡散した符号長 N ($N = M \times K$) の固定パターンを受信する相関器であって、

前記固定パターンを入力信号として入力し、M チップの長さを有し、前記固定パターンのうちの k 番目 ($0 \leq k < K$) のシンボル部分と拡散符号 S_m (m は $k \times M \leq m < (k + 1) \times M$ の範囲の整数) との間の相関値を出力する第 1 の相関器と、

前記第 1 の相関器でそれぞれ算出される、前記入力信号について互いに位相のずれている相関値を 1 シンボルあたり所定個数 (L 個) 記憶し、全体で K シンボルについて $L \times K$ 個の相関値を記憶する記憶部と、

前記記憶部から L 個おきに K シンボル分のデータを読み出すための読み出しアドレスを出力する読み出しアドレス制御部と、

前記記憶部から L 個おきに読み出された K シンボル分のデータを入力し、前記固定語との間の相関値を出力する第 2 の相関器と、

を備えた相関器。

1 3. 書き込みアドレスを出力する書き込みアドレス制御部をさらに備えており、前記第 1 の相関器から出力される相関値は、前記書き込みアドレス制御部が指示する前記記憶部のアドレスに書き込まれることを特徴とする請求項 1 2 に記載の相関器。

14. 前記第1の相関器を一つ備え、かつ、前記固定語の種類に応じた数の前記第二の相関器を備えたことを特徴とする請求項11乃至13の何れか一項に記載の相関器。

15. 前記第2の相関器の出力を入力とする最大値検出手段をさらに備え、該最大値検出手段は、前記第2の相関器からそれぞれ出力される相関値が最大の時に同期検出を通知するための最大値信号を出力するものであることを特徴とする請求項14に記載の相関器。

16. 前記第1の相関器が前記入力信号との相関をとる前記拡散符号の切替を行う符号切替部をさらに備えることを特徴とする請求項11乃至15の何れか一項に記載の相関器。

17. 前記互いに位相の異なる相関値は、1チップまたは1/2チップずつ位相が異なる相関値であることを特徴とする請求項11乃至16の何れか一項に記載の相関器。

18. 前記記憶部はデュアルポート型のランダムアクセスメモリよりなることを特徴とする請求項11乃至17の何れか一項に記載の相関器。

19. 前記第2の相関器に代えて、前記第1の相関器から出力されるK個の相関値と前記固定語とが互いに一致するか否かを比較する比較器を備えたことを特徴とする請求項10乃至18の何れか一項に記載の相関器。

20. 所定の長さNのデータの相関をとる相関器であって、

前記Nの約数である長さMの第1の相関器と、前記Nの約数である長さKの第2の相関器とからなり、

前記第1の相関器は、長さMの入力データと、前記長さMの入力データとの間の相関をとるために予め用意された長さMのデータとの間の相関をとり、

前記第 2 の相関器は、前記第 1 の相関器が出力する K 個の相関値と、前記第 1 の相関器から出力される相関値との間の相関をとるために予め用意された K 個のデータとの間の相関をとるものである相関器。

21. 請求項 7 乃至 18 のいずれか一項に記載の相関器を備えた CDMA (符号分割多元接続) 方式の通信装置。

22. スペクトル拡散方式の通信装置において、

スペクトル拡散された入力信号を逆拡散するために該入力信号と拡散符号との間の相関をとる第 1 の相関器と、

前記第 1 の相関器から出力される所定数の相関値出力と同期パターンとの間の相関をとる第 2 の相関器と、

からなる同期捕捉用の相関器を備えることを特徴とする通信装置。

23. スペクトル拡散方式の通信装置において、

スペクトル拡散された入力信号を逆拡散するために該入力信号と拡散符号との間の相関をとる第 1 の相関器と、

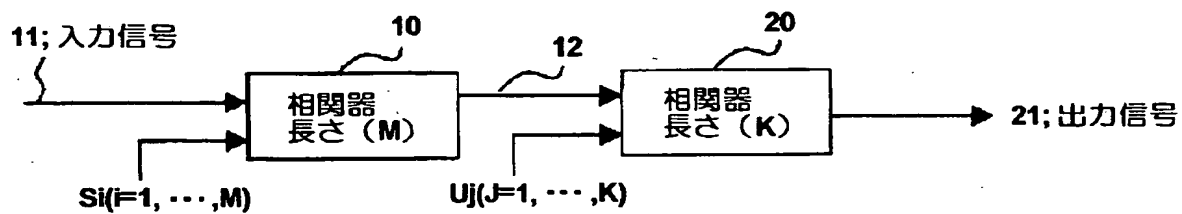
前記第 1 の相関器から出力される所定数の相関値出力と同期パターンとが互いに一致するか否かを比較を行う比較器と、

からなる同期捕捉用の相関器を備えることを特徴とする通信装置。

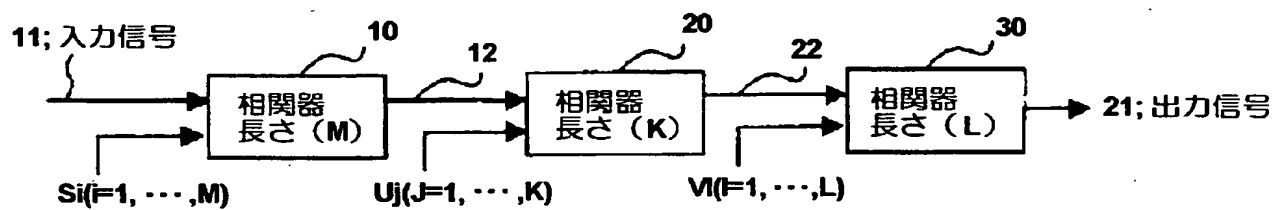
1/8

図 1

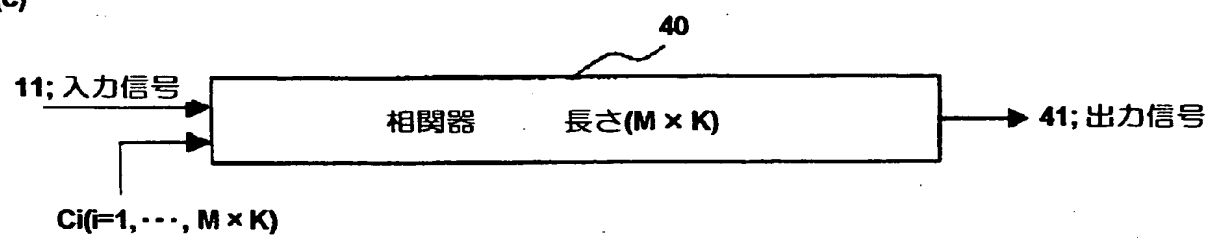
(a)



(b)

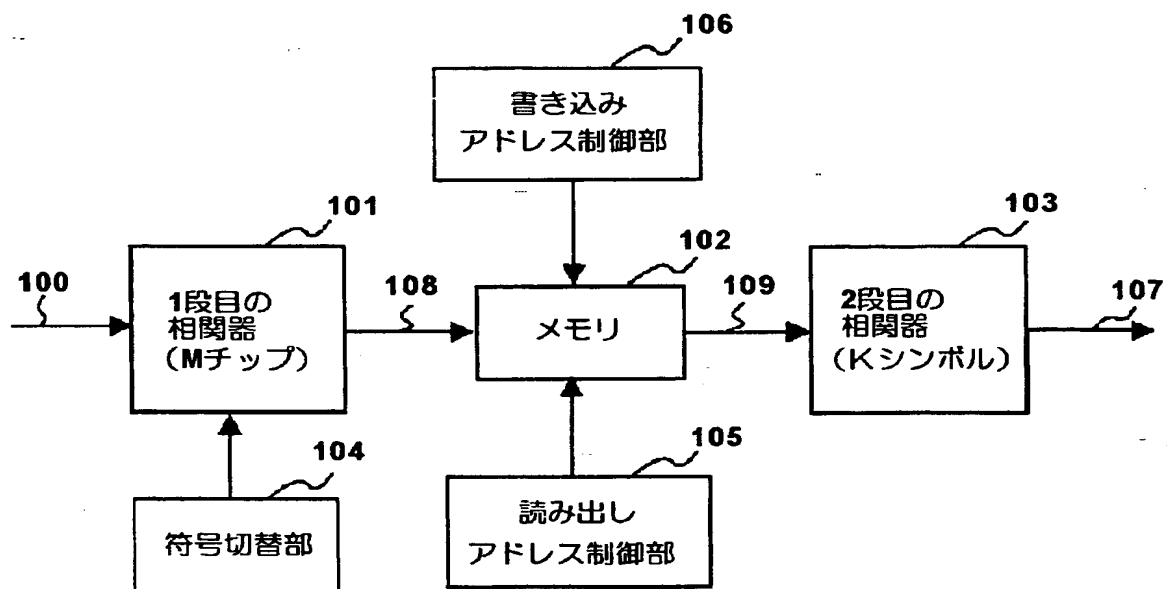


(c)



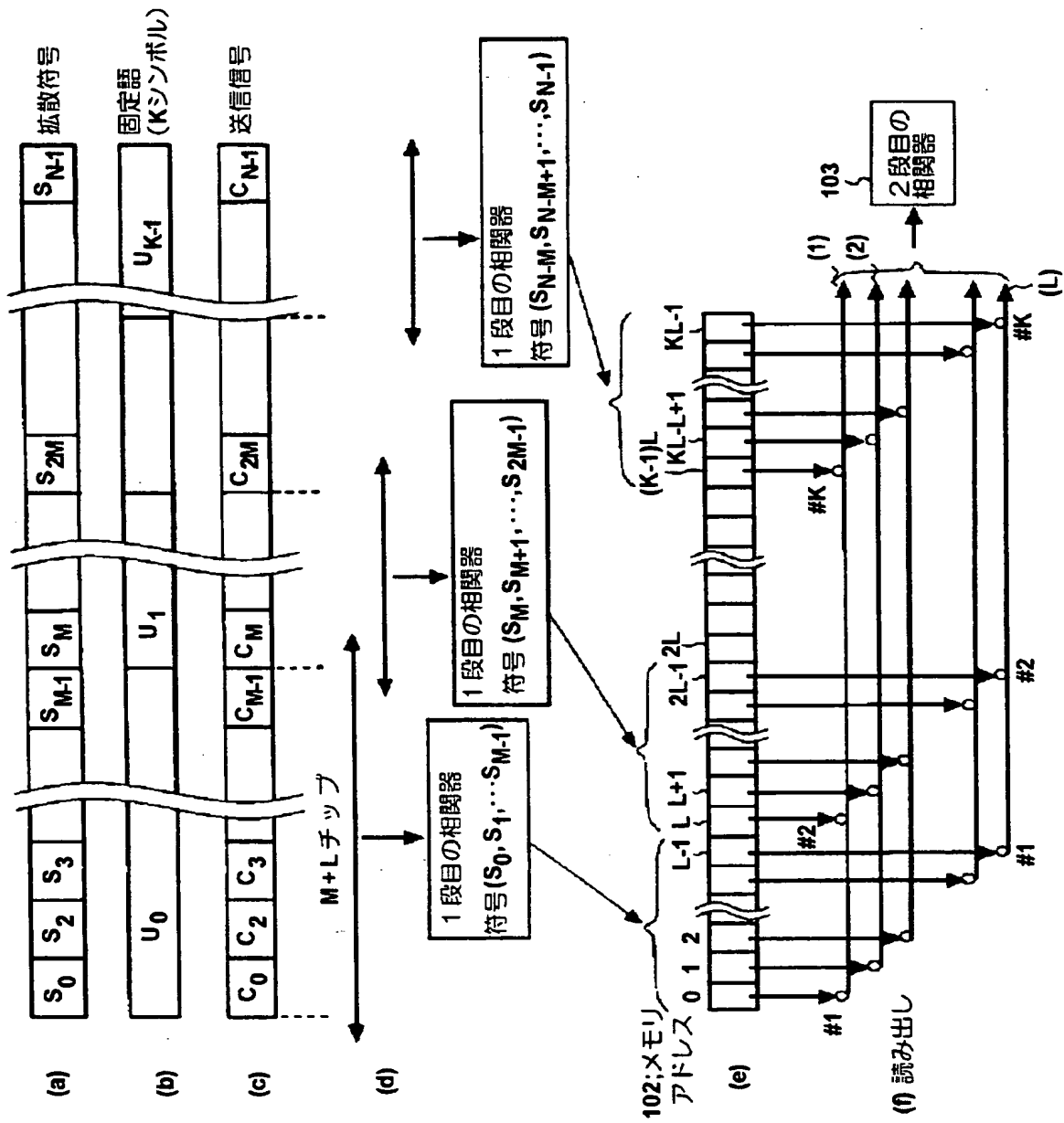
2/8

図 2



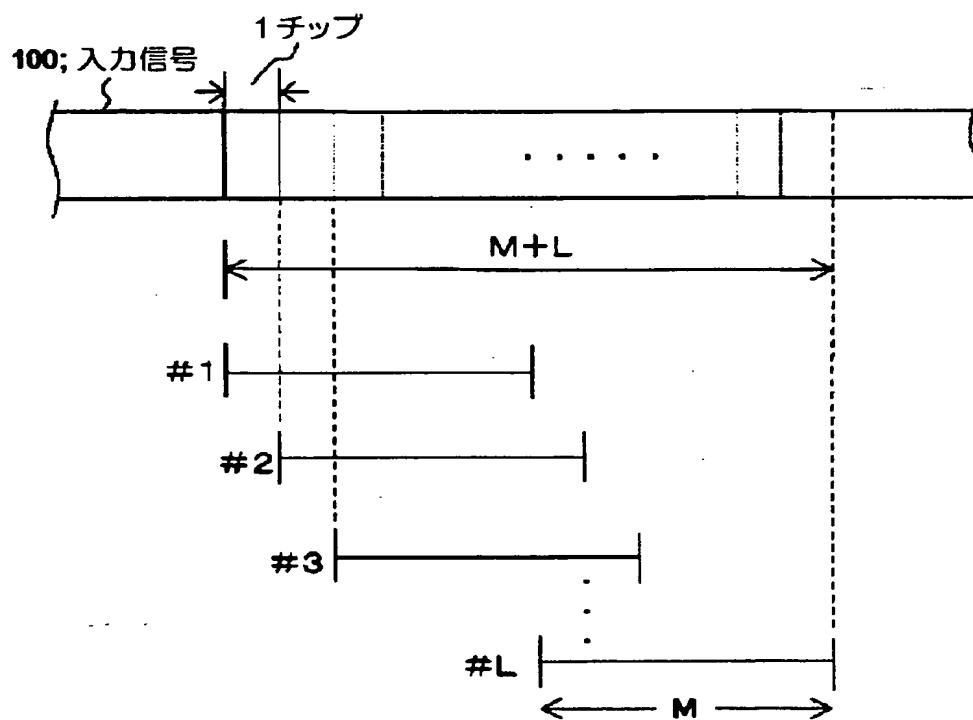
3/8

図 3



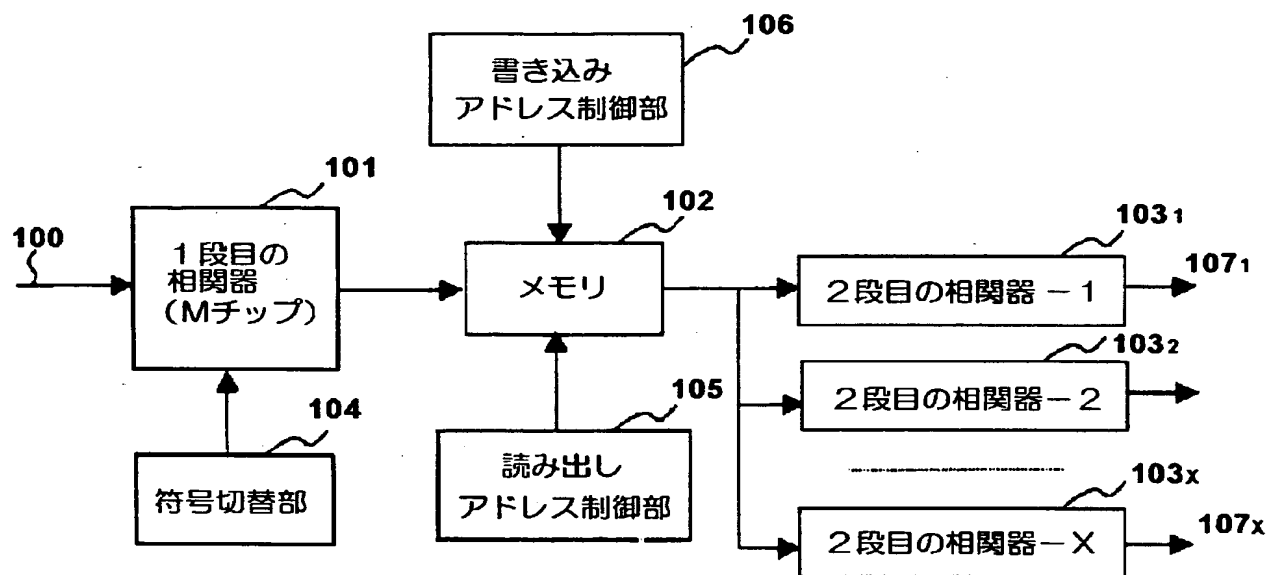
4/8

図 4



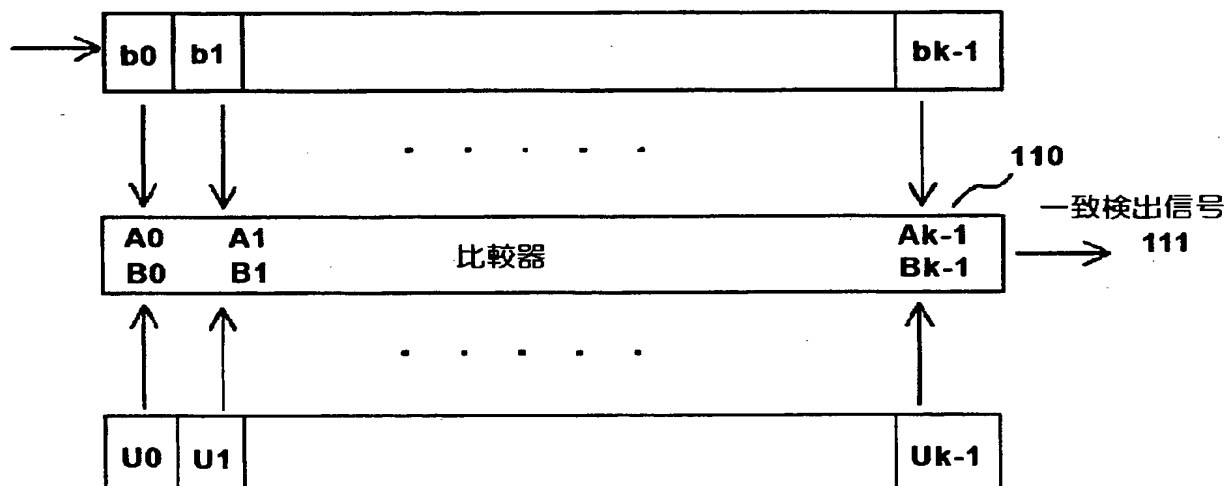
5/8

図5



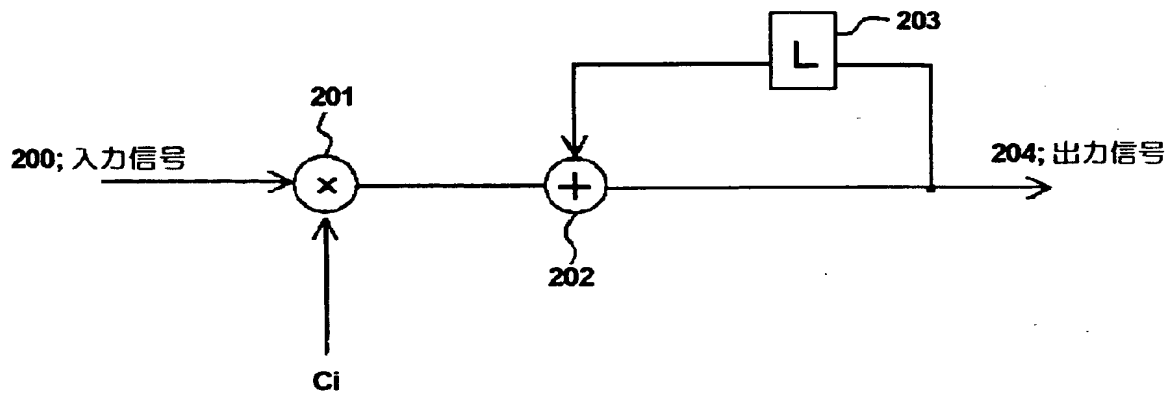
6/8

図6



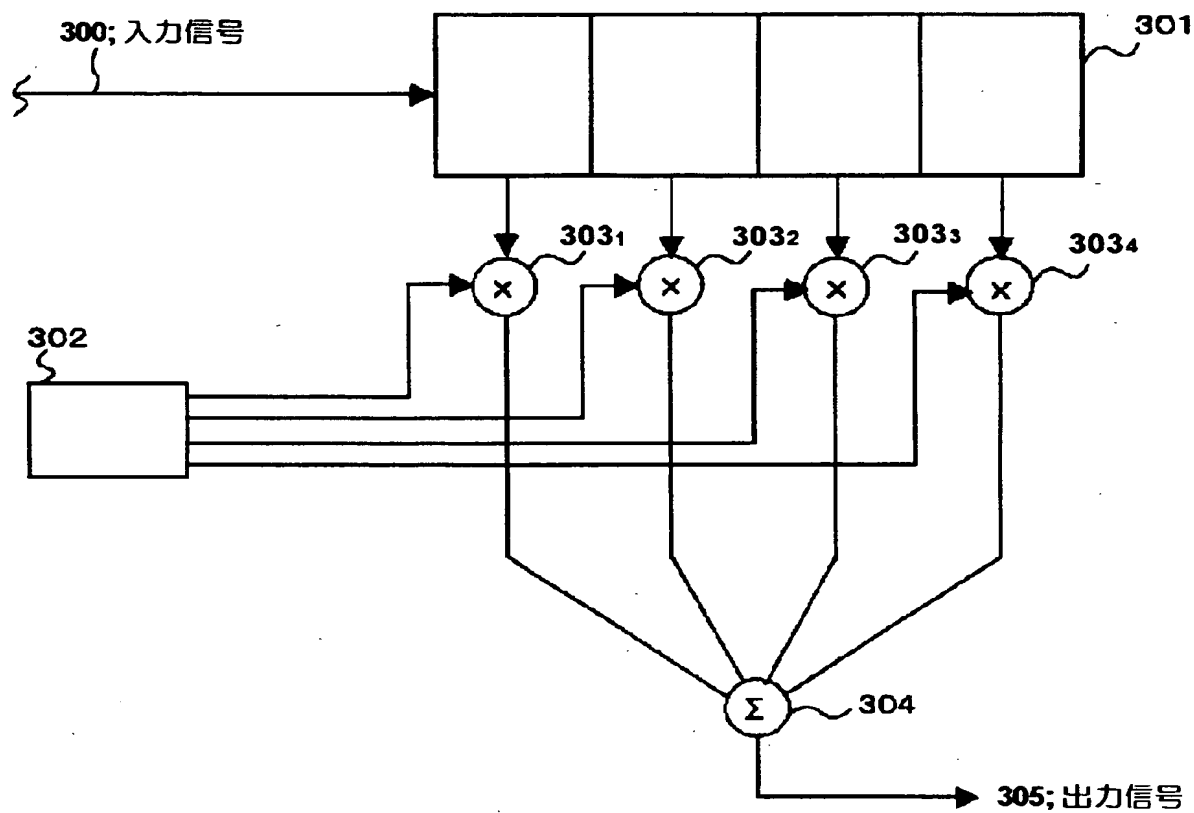
7/8

図 7



8/8

図 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06390

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H04B1/707

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H04B1/69-1/713, H04J13/00-13/06
H04L7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP, 8-88587, A (Sumitomo Electric Industries, Ltd.), 02 April, 1996 (02.04.96), Full text; Figs. 1 to 8 (Family: none)	1-6, 20 7-19, 21-23
A	JP, 10-178334, A (Fujitsu Limited), 30 June, 1998 (30.06.98), Full text; Figs. 1 to 18 (Family: none)	1-23
P, X P, A	JP, 2000-196498, A (Toshiba Corporation), 14 July, 2000 (14.07.00), Full text; Figs. 1 to 15 & WO, 00/13359, A1 & EP, 1037423, A1	1-6, 20 7-19, 21-23



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
07 December, 2000 (07.12.00)

Date of mailing of the international search report
19 December, 2000 (19.12.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/J P 00/06390

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl¹ H04B1/707

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl¹ H04B1/69-1/713, H04J13/00-13/06
H04L7/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2000年
日本国登録実用新案公報	1994-2000年
日本国実用新案登録公報	1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	J P, 8-88587, A (住友電気工業株式会社), 2. 4月. 1996 (02. 04. 96), 全文, 図1-8 (ファミリーな し)	1-6, 20 7-19, 21-23
A	J P, 10-178334, A (富士通株式会社), 30. 6月. 1998 (30. 06. 98), 全文, 図1-18 (ファミリーな し)	1-23

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

07. 12. 00

国際調査報告の発送日

19. 12. 00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

北村 智彦

5 K 9297

電話番号 03-3581-1101 内線 3555

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, X P, A	JP, 2000-196498, A (株式会社東芝), 14. 7 月. 2000 (14. 07. 00), 全文, 図1-15 &WO, 00/13359, A1 &EP, 1037423, A1	1-6, 20 7-19, 21-23